

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 03153044
PUBLICATION DATE : 01-07-91

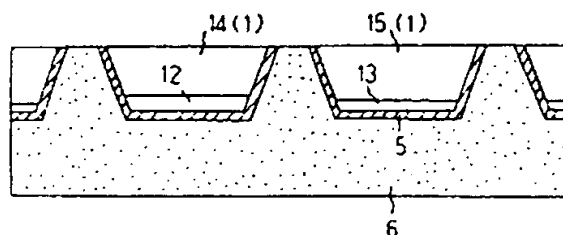
APPLICATION DATE : 10-11-89
APPLICATION NUMBER : 01293302

APPLICANT : MITSUBISHI ELECTRIC CORP;

INVENTOR : SATSUMA KAZUMASA;

INT.CL : H01L 21/331 H01L 21/74 H01L 21/76
H01L 29/73

TITLE : DIELECTRIC ISOLATION SUBSTRATE



ABSTRACT : PURPOSE: To enhance a current-amplification factor, to stabilize the current-amplification factor, to improve an electricity-applying capacity and to sharply improve an ON resistance by a method wherein a diffusion layer functioning as a collector layer is formed at a boundary region to a dielectric layer in a single-crystal silicon region.

CONSTITUTION: A dielectric isolation substrate is provided with a diffusion layer (a P-type diffusion layer 12) functioning as a collector layer at a boundary region to a dielectric layer (a silicon oxide film 5) in a single-crystal silicon region (a single-crystal silicon island 14). Since holes injected into a base from an emitter reach the diffusion layer functioning as a collector, most of emitter currents contribute to collector currents.

COPYRIGHT: (C) JPO



THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-153044

⑮ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)7月1日

H 01 L 21/331
21/74
21/76
29/73

D

7638-5F
7638-5F

8225-5F H 01 L 29/72

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 誘電体分離基板

⑰ 特 願 平1-293302

⑱ 出 願 平1(1989)11月10日

⑯ 発 明 者 薩 摩 和 正 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑰ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑱ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

誘電体分離基板

2. 特許請求の範囲

支持基板の一面側に複数の単結晶シリコン領域を配設し、当該単結晶シリコン領域の上記支持基板側を誘電体層で被って電氣的に互いに分離して構成した誘電体分離基板において、上記単結晶シリコン領域における誘電体層との境界領域にコレクタ層として機能する拡散層を設けたことを特徴とする誘電体分離基板。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、例えばバイポーラトランジスタ等で構成される誘電体分離型集積回路に用いられる誘電体分離基板に関するものである。

(従来の技術)

第3図(a)～(h)を用いて従来の技術を説明する。

従来の誘電体分離基板は、 $\langle 100 \rangle$ 方位のN

型のシリコン基板1にエッチングマスクとなるシリコン酸化膜2を成長させ、そのシリコン酸化膜2を所定の分離溝の形状にパターニングする(a)。続いて、KOH(水酸化カリウム)を用いてシリコンを異方性エッチングすることにより分離溝3を形成する(b)。そうして、エッチングマスクである酸化膜2を除去した後に、分離溝を含むエッチング溝全面に不純物であるアンチモンを拡散することによりN型の拡散層4を形成する。そうして、電氣的な分離を行うために1.5～2.0 μ m程度の厚みのシリコン酸化膜5を成長させる(c)。続いて、このシリコン酸化膜5の上にエッチング溝を埋めるようにして500 μ m程度の厚い多結晶シリコン層6を成長させる(d)。この多結晶シリコン層6は後に単結晶島を機械的に支持するための基板として機能する。そして、単結晶側の面を基準面として第3図(d)においてA-A'で示されるような面に多結晶シリコン層6面を研磨し、続いて今度はこの面を基準面として図中のB-B'で示されるような面まで単結晶シリコン

基板1側の面を研磨する(e)。この単結晶シリコン基板1面を研磨する際に、図で示されるように反対面側に成長させた多結晶シリコン領域が単結晶シリコン面に露出するまで研磨することにより、単結晶島7を互いに電気的に絶縁することが可能となる。

このようにして製造される従来の誘電体分離基板を用いて作られるバイポーラPNPトランジスタについて続いて説明する。

第3図(e)で得られた誘電体分離基板に、ボロン(不純物)を拡散することによりエミッタ領域91およびコレクタ領域92が同時に形成される(f)。続いて、リンを拡散することによりベース領域10が形成される(g)。そして電極取り出し用の孔をシリコン酸化膜8に開けた後に、アルミニウムによりエミッタ、コレクタ、ベースの配線11、12、13が形成されてバイポーラPNPトランジスタが完成する(h)。(発明が解決しようとする課題)

このような構造のPNPトランジスタにお

いては、エミッタ91からベース10へと注入されたホールは、ベース中を拡散しつつコレクタ領域92へと達してコレクタ電流となる。しかし、エミッタ91からベース10へのホールの注入は等方的であるために、エミッタホール電流の大部分はエミッタ領域下へと注入されることになり、これら注入されたホールはエミッタ領域下のベース領域において大部分が電子と再結合してコレクタ電流には寄与しないことになる。このため、コレクタ電流に寄与するエミッタ電流成分は、エミッタ領域とコレクタ領域の間のシリコン表面近傍を流れるわずかな部分のみとなる。つまり、従来の構造においてはトランジスタの電流増幅率は非常に小さなものとなっていた。

また、トランジスタの電流増幅率がシリコン表面近傍におけるホールの拡散電流によって左右されるために、酸化膜・シリコン界面の性質に大きく依存することになり、先に述べた誘電体分離の製造方法における単結晶シリコンの研磨条件によって、トランジスタの電流増幅率が大きくばらつ

く原因にもなっていた。

さらに、トランジスタ動作に寄与する領域がエミッタとコレクタが対向する部分、つまり拡散領域の端部に制限されるために、トランジスタ全体が占める面積に対する動作領域の比率が小さく、トランジスタの通電能力が著しく制限されるという問題もあった。

この発明は上記のような問題点を解決するためになされたもので、電流増幅率の向上、電流増幅率の安定化、及び通電能力の改善を図れるとともにオン抵抗の大幅な改善を図れるトランジスタを実現することができる誘電体分離基板を提供することを目的とする。

(課題を解決するための手段)

この発明に係る誘電体分離基板は、単結晶シリコン領域(単結晶シリコン島14又は24)における誘電体層(シリコン酸化膜5)との境界領域にコレクタ層として機能する拡散層(P型拡散層12又は23)を有したことを特徴とするものである。

(作用)

エミッタからベース中に注入されたホールは、コレクタとして機能する拡散層に到達するので、エミッタ電流の大部分がコレクタ電流に寄与することになる。

(実施例)

第1図(a)~(j)により、本発明の一実施例を説明する。

まず、従来の構造と同様に支持基板としての<100>方位のN型単結晶シリコン基板1を用いる。この基板1の主面の裏面の一部にボロン(不純物)を拡散することによりP型拡散層12を形成する(a)。続いて、上記主面にアンチモン(不純物)を拡散することにより、N型拡散層13を形成する(b)。このとき、アンチモンの拡散は先に形成してあるP型拡散層12以外の領域に選択的に拡散しても良いし、また、このP型拡散層12よりも低濃度のアンチモンを全面に拡散することによっても同様の構造が得られる。

さらに、P型拡散層12とN型拡散層13の形

成順序を逆にしても同様である。続いて、エッチングマスクとなるシリコン酸化膜2を形成し、所定の形状にパターニングする(c)。従来技術と同様に、KOHによりシリコンを異方性エッチングすることにより分離溝3を作成する(d)。続いて、この分離溝3を含めた全面に、単結晶シリコン島を互いに電気的に絶縁するためのシリコン酸化膜(誘電体層)5を1.5~2.0 μm 成長させる(e)。そして、このシリコン酸化膜5の上にエッチング溝を埋めるようにして500 μm 程度の厚い多結晶シリコン層6を成長させる(f)。この多結晶シリコン層6は後に単結晶シリコン島(単結晶シリコン領域)を機械的に支持するための基板として機能する。そして、単結晶シリコン基板1側の面を基準面として第1図(f)においてA-A'で示されるような面に多結晶シリコン層6面を研磨加工し、続いて今度はこの面を基準面として図中のB-B'で示されるような面まで単結晶シリコン基板1側の面を平らに研磨加工する(g)。この際、従来の誘電体分離基板の製造

方法と同様に、厚く成長させた多結晶シリコン領域が反対側の単結晶シリコン面に露出するまで研磨することにより、単結晶シリコン島14と15とを互いに電気的に絶縁することが可能となる。このような誘電体分離基板を用いれば、バイポーラPNPトランジスタは次のようにして製作される。

まず、第1図(g)で完成した誘電体基板に、ボロンを深く拡散することにより、下面のP型拡散層12への導通部分となる導通部16を形成する(h)。引き続きボロンを拡散することによりエミッタ領域17を、そしてリンを拡散することによりベース領域18を形成する(i)。そして、最後に電極取り出し用の孔をシリコン酸化膜に開け、アルミニウムによりエミッタ、ベース、コレクタのそれぞれの電極(配線)19、20、21を形成し、トランジスタが完成する(j)。

このような構造のトランジスタでは、エミッタからベース中に注入されたホールは、そのままエミッタ層と対向する下面のコレクタ層へと拡散す

るため、エミッタ全面がトランジスタ動作に寄与することが可能となる。このため、無効なエミッタ電流の比率が小さくなり電流増幅率を改善することができる。また、エミッタ全面がトランジスタ動作に寄与することから、トランジスタの全体の面積に対する動作領域の比率が大きくなり、エミッタ面積の増加に比例して有効に通電能力を向上させることが可能となる。さらに、トランジスタ動作に寄与するベース領域が単結晶シリコン表面ではなくバルク内にあるために、シリコン表面の加工によって電流増幅率が影響されることなく安定した特性を得ることが可能になる。

第2図(a)~(i)に示すのは、本発明による他の実施例である。この例でも同様にして、 $\langle 100 \rangle$ 方位のN型単結晶シリコン基板1を用いている。まず、単結晶シリコン基板1の表面全面にリンを拡散することによりN型拡散層22を形成する(a)。続いて、その表面の一部に先に形成したN型拡散層22よりも浅く、かつ高濃度のボロンを拡散することによりP型拡散層23を

形成する(b)。なお、このN型拡散層とP型拡散層の形成順序を逆にしても同様の効果が得られる。そうして、第1図と同様にしてKOHによってシリコンを異方性エッチングすることにより分離溝3を形成し、電気的な絶縁用のシリコン酸化膜5を成長させる(c)。そして、第1図と同様に、厚い多結晶シリコン層6を分離溝3を含む全面に成長させ、基板1の両面を研磨加工することにより誘電体分離基板が製作される(d)。この例では、単結晶シリコン島24において、P型拡散層23の上に単結晶シリコンよりも高濃度のN型拡散層22が存在していることが第1図で説明した例と異なっている。この誘電体分離基板の効果を、絶縁ゲートバイポーラトランジスタを例にとって説明する。

まず、第2図(d)で完成した誘電体分離基板にボロンを拡散することにより、下面のP型拡散層23への電気的な導通部16を形成する(e)。続いて、高濃度のボロンを拡散することにより絶縁ゲートバイポーラトランジスタのボディ領域

26を形成する(f)。そして、酸化膜を全面除去した後にゲート電極となる多結晶シリコン膜を成長させ、この多結晶シリコン膜にリンをドーピングした後に所定のゲート形状にパターンニングする。続いて、この多結晶シリコンをマスクにしてボロンを拡散することによりP型のチャネル領域28を形成する(g)。同様に、多結晶シリコンをマスクにしてリンを拡散することによりN型のソース領域29を形成する(h)。最後に、電極取出し用の孔を開いた後に、アルミニウム配線によってソース、アノード、およびゲート電極の301、302、303を形成して完成する(i)。

本発明による誘電体分離基板を用いた絶縁ゲートバイポーラトランジスタ構造においては、下面のP型拡散層(P型アノード層)23の上に高濃度のN型拡散層22が存在するために、電圧阻止状態においてもボディ領域26から伸びる空乏層はこのN型拡散層22によって伸びを阻止される。このため、アノード領域とボディ領域の間の距離が小さくても有効にパンチスルー降伏を避けるこ

とが可能となる。このことは、アノード領域とボディ領域の間の距離が大きくなることによる、ドリフト領域の電導度変調効果の減少、つまり絶縁ゲートバイポーラトランジスタのオン抵抗の増大が避けられることを意味する。このように、本発明による誘電体分離基板を用いることにより、低いオン抵抗を持つ絶縁ゲートバイポーラトランジスタを製造することが可能となる。

上記実施例によれば、互いに分離された単結晶シリコン島の下面にP型拡散層を形成することにより、この下面のP型拡散層をPNPトランジスタのコレクタとして用いることができる。

この結果、単結晶シリコン表面付近のエミッタからベース中に注入されたホールは、そのままエミッタ領域下面にあるP型層のコレクタに到達できるので、注入されたエミッタ電流の大部分がコレクタ電流に寄与することになり、高い電流増幅率を得ることが可能となる。また、コレクタ電流に寄与する電流の大部分は単結晶シリコン表面近傍ではなく、バルク中を流れることになるので、

単結晶シリコン表面の加工条件に左右されることがなく安定した電流増幅率を得ることが可能となる。

なお、以上の実施例においては、 $\langle 100 \rangle$ 方位のN型のシリコン基板を用いたが、他の方位あるいはP型の基板を用いても同様の効果が得られる。また、誘電体分離基板の製作においては、KOHによる異方性エッチングを用いて説明したが、他の異方性エッチャントあるいは等方性エッチャントを用いても同様の効果を持つ基板が得られることはいうまでもない。

(発明の効果)

以上のように本発明によれば、単結晶シリコン領域における誘電体層との境界領域にコレクタ層として機能する拡散層を有する誘電体分離基板が得られるので、この誘電体分離基板を用いれば、例えば、PNPトランジスタにおいては、縦型構造を製作することが可能となり、電流増幅率の改善および安定化あるいは通電能力の改善が可能となり、また、絶縁ゲートバイポーラトランジスタにおいては、アノード領域とボディ領域との間の

パンチスルー降伏を避けることができ、オン抵抗を大きく改善することが可能となるという効果が得られる。

更に、本発明によれば従来の誘電体分離基板の製造方法を大きく変更することなく優れたデバイス特性を得ることが可能となるという効果が得られる。

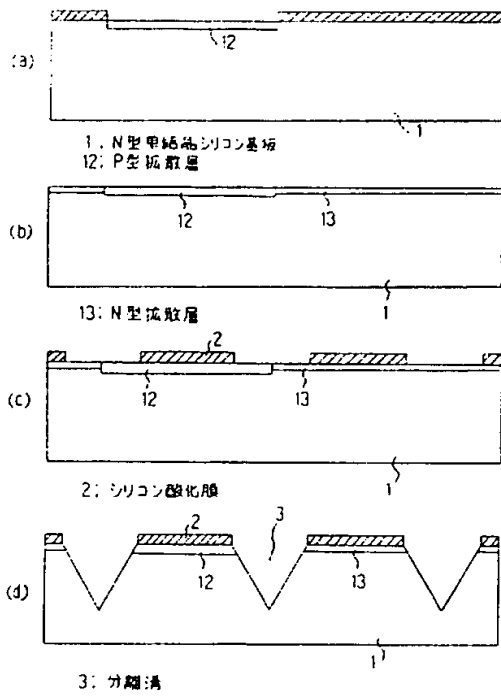
4. 図面の簡単な説明

第1図はこの発明の一実施例による誘電体分離基板及びこの基板を用いたバイポーラPNPトランジスタの製造工程を説明するための図、第2図は他の実施例による誘電体分離基板及びこの基板を用いた絶縁ゲートバイポーラトランジスタの製造工程を説明するための図、第3図は従来の誘電体分離基板及びこの基板を用いたバイポーラPNPトランジスタの製造工程を説明するための図である。

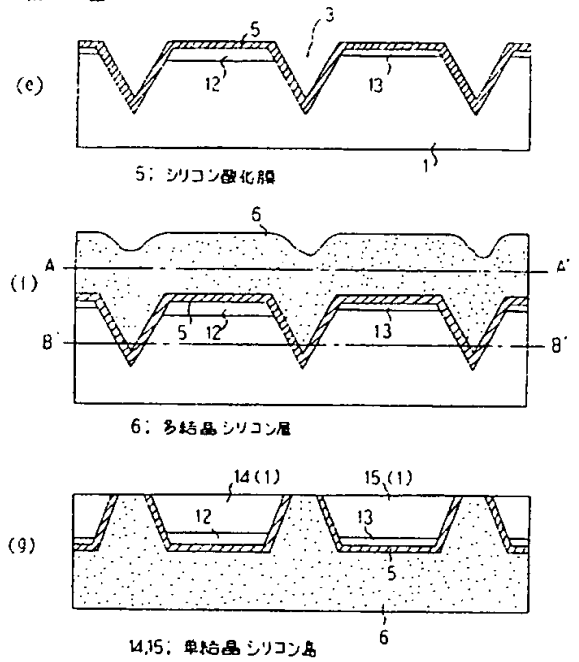
- 1・・・N型単結晶シリコン基板(支持基板)、
- 5・・・シリコン酸化膜(誘電体層)、14、
- 24・・・単結晶シリコン島(単結晶シリコン領域)、12、23・・・P型拡散層(拡散層)。

代理人 大 岩 増 雄(ほか2名)

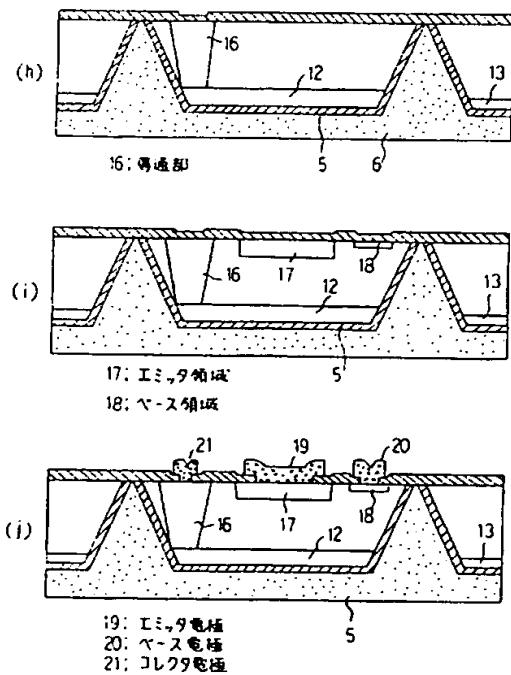
第 1 図



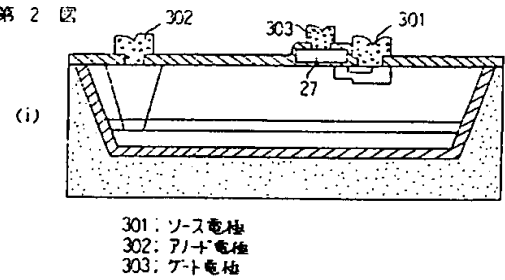
第 1 図



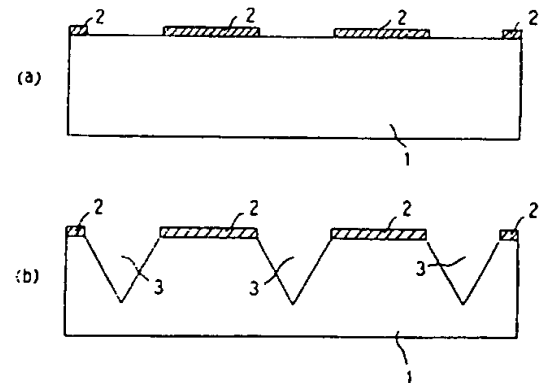
第 1 図



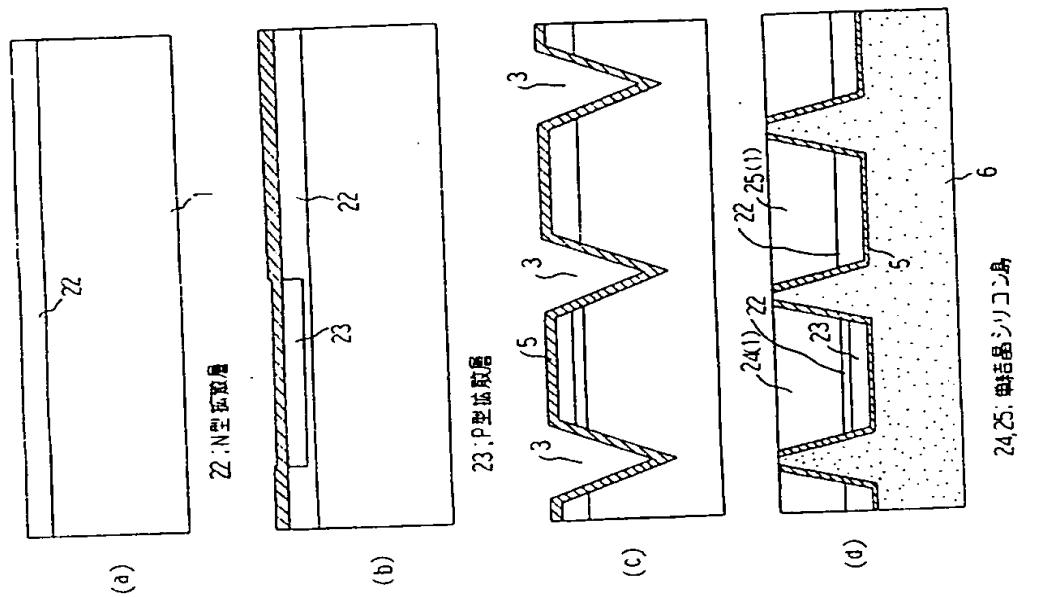
第 2 図



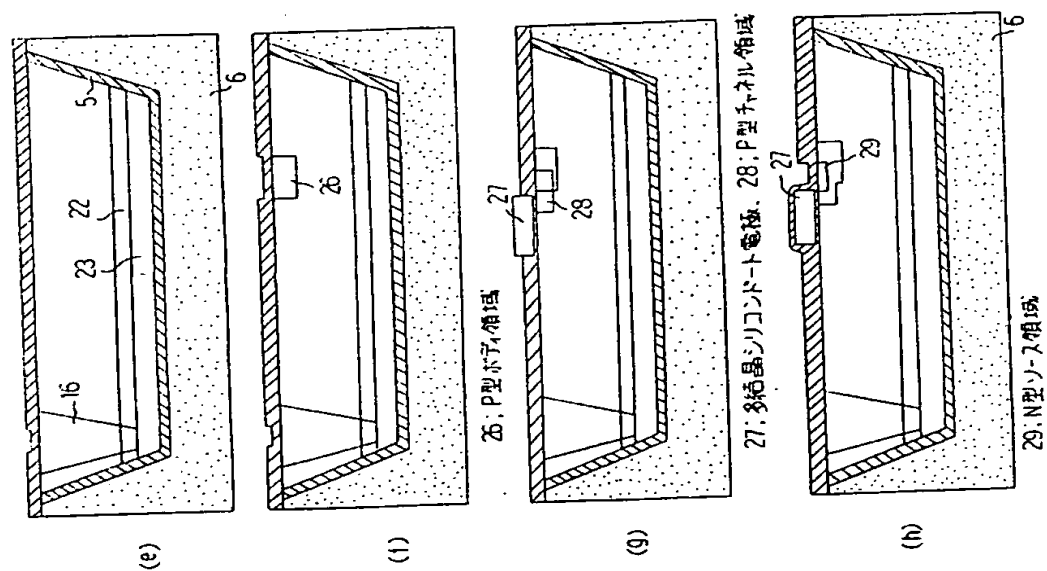
第 3 図



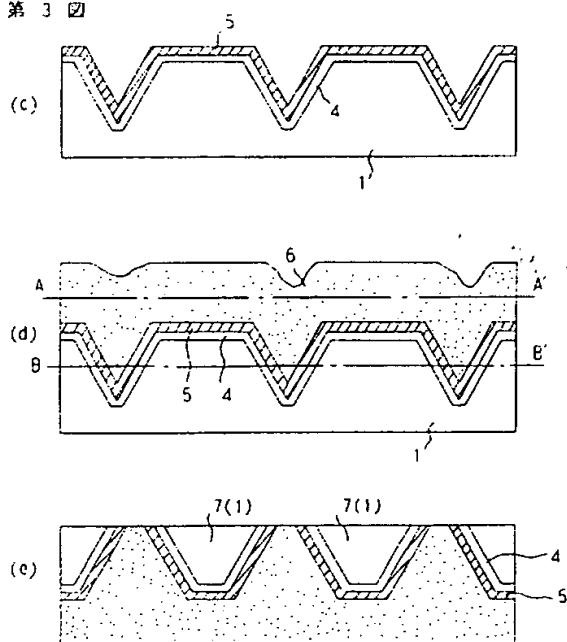
第2図



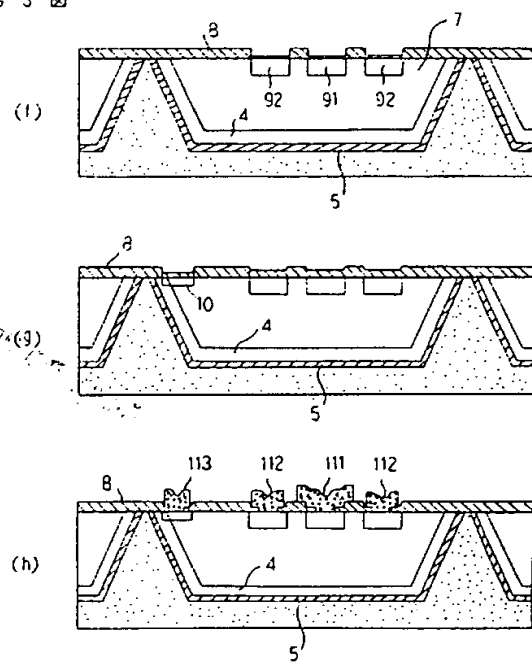
第2図



第 3 図



第 3 図



THIS PAGE BLANK (USPTO)